

(19)



JAPANESE PATENT OFFICE

11017 U.S. PTO  
10/084511  
02/28/02

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10172927 A**(43) Date of publication of application: **26.06.98**

(51) Int. Cl.

**H01L 21/301****H01L 21/768****H01L 27/108****H01L 21/8242**(21) Application number: **08333364**(22) Date of filing: **13.12.96**(71) Applicant: **HITACHI LTD**

(72) Inventor: **KOBAYASHI NOBUYOSHI**  
**OGISHIMA JUNJI**  
**SUWAUCHI NAOKATSU**  
**NISHIHARA SHINJI**

(54) **SEMICONDUCTOR INTEGRATED CIRCUIT  
DEVICE AND ITS MANUFACTURE**

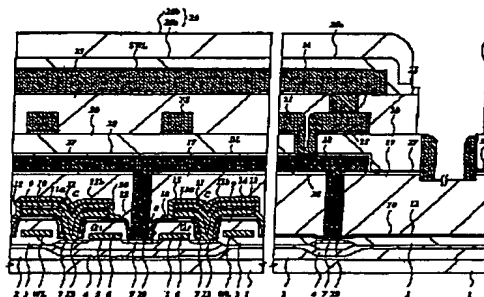
inside of a chip along the interface.

COPYRIGHT: (C)1998,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To prevent foreign matters such as moisture from reaching the inside of a chip through the cracks generated in the interface between a BPSG (boron- doped phosphosilicate glass) film and another insulation film, in the device where in its flat interlayer insulation film is formed using the BPSG film containing boron of a high concentration, and plugs are formed in one-ports of the contacts or connection holes of its wiring.

**SOLUTION:** One the further outside of a guard ring(GR) formed along the peripheral portion of the principal surface of a semiconductor chip 1, there is formed a slit (S) whose bottom portion reaches at least a deeper position than the interface between an interlayer insulation film 23 and a BPSG film 20 forming the lower layer of the film 23 and whose width is not smaller than twenty times as large as the diameter of a plug. As a result, the cracks generated in the interface between the BPSG film 20 containing boron of a high concentration and the interlayer insulation film 23 are prevented by the slit (S) from progressing toward the



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 0 - 1 7 2 9 2 7

(43) 公開日 平成 1 0 年 ( 1 9 9 8 ) 6 月 2 6 日

J1017 U.S. PTO  
10/084511  
02/26/02

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
H01L 21/301			H01L 21/78	Q
21/768			21/90	Z
27/108			27/10	621 A
21/8242				681 F

審査請求 未請求 請求項の数 1 1 O L (全 1 1 頁)

(21) 出願番号 特願平 8 - 3 3 3 3 6 4

(22) 出願日 平成 8 年 ( 1 9 9 6 ) 1 2 月 1 3 日

(71) 出願人 0 0 0 0 0 5 1 0 8

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 小林 伸好

東京都小平市上水本町五丁目 2 0 番 1 号

株式会社日立製作所半導体事業部内

(72) 発明者 荻島 淳史

東京都小平市上水本町五丁目 2 0 番 1 号

株式会社日立製作所半導体事業部内

(72) 発明者 諏訪内 尚克

東京都小平市上水本町五丁目 2 0 番 1 号

株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

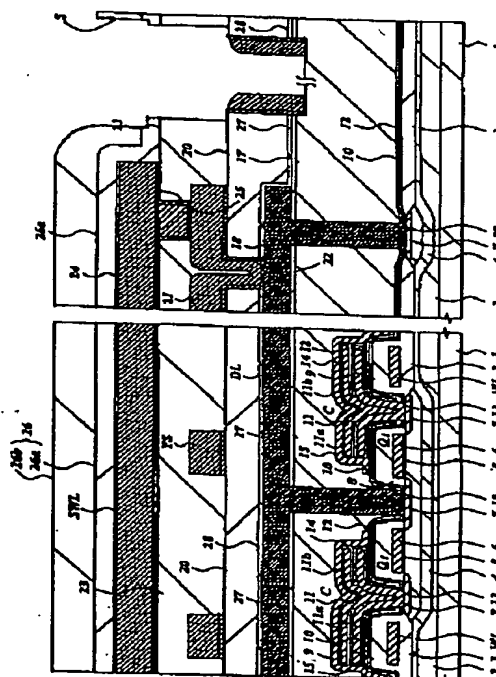
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 高濃度のホウ素を含む B P S G 膜を用いて平坦な層間絶縁膜を形成し、かつ配線のコンタクトもしくは接続孔の一部にプラグを形成するデバイスにおいて、B P S G 膜と他の絶縁膜との界面に発生したクラックを通じて水分等の異物がチップ内部に達するのを防止する。

【解決手段】 半導体チップ 1 の主面の外周部に沿って形成されたガードリング G R のさらに外側に、その底部が少なくとも層間絶縁膜 2 3 とその下層の B P S G 膜 2 0 との界面より深い位置まで達し、かつその幅がプラグ径の 2 0 倍以上であるスリット S を形成し、高濃度のホウ素を含む B P S G 膜 2 0 と層間絶縁膜 2 3 との界面に発生したクラックがこの界面に沿ってチップ内部へと進行するのをスリット S により阻止する。

図 2



## 【特許請求の範囲】

【請求項 1】半導体チップ上に堆積した層間絶縁膜の一部を高濃度のホウ素を含有する酸化シリコン膜で構成し、かつ配線とシリコン基板とのコンタクトあるいは配線と配線との接続孔の一部に半導体材料あるいは金属材料によるプラグを有する半導体装置であって、前記ホウ素を含有する酸化シリコン膜とその上層に堆積された層間絶縁膜との界面よりも深く、かつその最小の幅が上記プラグ直径の 2 倍以上の幅を有するスリットを前記半導体チップの周辺部に沿って設けたことを特徴とする半導体集積回路装置。

【請求項 2】請求項 1 記載の半導体集積回路装置であって、前記半導体チップの周辺部には、前記半導体チップの側壁から侵入する水分を遮断するためのガードリングが設けられており、前記スリットは、前記ガードリングの外側にもうけられていることを特徴とする半導体集積回路装置。

【請求項 3】請求項 1 記載の半導体集積回路装置であって、前記スリットはその側壁にのみ前記プラグ材料の薄膜が堆積されていることを特徴とする半導体集積回路。

【請求項 4】請求項 1 記載の半導体集積回路装置であって、前記スリットは、前記半導体チップの周辺部に沿って連続的に設けられていることを特徴とする半導体集積回路。

【請求項 5】請求項 1 記載の半導体集積回路装置であって、前記酸化シリコン膜中のホウ素濃度が 1 0 モル % 以上であることを特徴とする半導体集積回路。

【請求項 6】請求項 1 記載の半導体集積回路装置であって、前記プラグを形成する半導体材料として不純物を含有した導電性の多結晶シリコンを用いたことを特徴とする半導体集積回路。

【請求項 7】請求項 1 記載の半導体集積回路装置であって、前記プラグを形成する金属材料としてタングステン、窒化チタン、アルミニウム、銅、およびそれらの金属を積層させた材料を用いたことを特徴とする半導体集積回路。

【請求項 8】請求項 1 記載の半導体集積回路装置であって、前記プラグを形成する金属材料としてタングステン、窒化チタン、アルミニウム、銅、およびそれらの金属を積層させた材料を用いたことを特徴とする半導体集積回路。

【請求項 9】請求項 1 記載の半導体集積回路装置であって、前記半導体集積回路装置は、メモリセル選択用 M I S F E T の上部に情報蓄積用容量素子を配置したスタック構造のメモリセルを備えた D R A M であり、前記ホウ素を含有する酸化シリコン膜は前記メモリセルの上層の層間絶縁膜の一部を構成し、かつ前記プラグは前記メモリセルの上層の配線間の接続孔に用いられていることを特徴とする半導体集積回路。

【請求項 1 0】半導体基板の主面上に第 1 の絶縁膜を形

成する工程と、前記第 1 の絶縁膜上に第 1 の配線を形成する工程と、前記第 1 の配線上にホウ素を含有する酸化シリコン膜からなる第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜上に第 2 の配線層を形成する工程と、前記第 2 の配線上にホウ素を含有しない酸化シリコン膜を形成する工程と、

前記第 3 の絶縁膜に前記第 2 の配線層を露出する接続孔を開孔すると共に、前記半導体基板の主面の周辺部に前記第 3 の絶縁膜と前記第 2 の絶縁膜との界面に達し、かつ幅が前記接続孔の直径の 2 倍以上の溝を開孔する工程と、

前記第 3 の絶縁膜上に膜厚が接続孔の直径の 2 倍以上の半導体膜あるいは金属膜を堆積させた後に全面をドライエッチングして接続孔内部にのみ半導体あるいは金属のプラグを形成し、さらに前記プラグ上に第 3 の配線層を形成する工程を含むことを特徴とする半導体集積回路の製造方法。

【請求項 1 1】請求項 8 記載の半導体集積回路装置の製造方法であって、前記溝を前記半導体基板野周辺部に沿って連続的に開孔することを特徴とする半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、層間絶縁膜の一部に B P S G (Boron-doped Phospho Silicate Glass) 膜および配線の一部に多結晶シリコンあるいはタングステン等の金属を用いたプラグを用いるデバイスに適用して有効な技術に関するものである。

## 【 0 0 0 2 】

【従来の技術】 L S I の微細化、高集積化に伴って、半導体素子上の配線段差が増大している。たとえば、近年の D R A M (Dynamic Random Access Memory) は、情報蓄積用容量素子をメモリセル選択用 M I S F E T の上部に配置するスタックキャパシタ構造を採用しているので、メモリアレイと周辺回路との間にはほぼ情報蓄積用容量素子の高さ分に相当する段差が生ずる。また、メモリアレイの領域内および周辺回路の領域内にも段差が発生する。このような段差上に配線を形成すると、フォトリソグラフィ時に露光光の焦点ずれが生じたり、段差部にエッチング残りが生じたりするために配線を精度良く形成することができず、短絡や断線などの不良が生ずる。また、段差の増加は微細化と相まって、配線のコンタクト孔および接続孔のアスペクト比 (孔の深さ / 孔の直径) が増大するために、配線の被覆性が低下しマイグレーション耐性等の信頼性が低下する。

【 0 0 0 3 】上記の問題を解決するためには、下層の配線と上層の配線とを絶縁する層間絶縁膜を平坦化する技術が不可欠となる。層間絶縁膜の平坦化については、リフロー性が高い B P S G 膜やスピノンガラス (Spin On

Glass)膜を用いる方法が広く用いられる。BPSG膜は、ホウ素(B)およびリン(P)をそれぞれ数モル%ずつ含んだ酸化シリコンからなり、CVD法で成膜を行った後、アニールによるリフローで表面を平坦化する。スピニングガラス膜を使用する場合は、まずプラズマCVD法で酸化シリコン膜を堆積し、その上に回転塗布法でスピニングガラス膜を被着する。次に、このスピニングガラス膜をバークして膜を緻密化した後、エッチバックでその表面を平坦化し、さらにその上にプラズマCVD法で酸化シリコン膜を堆積して平坦な層間絶縁膜とする。このような層間絶縁膜の平坦化と並んで、アスペクト比の高いコンタクトおよび接続孔における配線の平坦化を進めるために、コンタクトおよび接続孔にプラグを形成する。通常、プラグ形成には、スパッタ法により窒化チタン(TiN)等の薄い接着層を堆積させた後にCVD法によりタングステン(W)膜の成膜を行い、コンタクトおよび接続孔をWで埋め込む。さらに、エッチバックによりコンタクトおよび接続孔内にWを残してプラグを形成する。この後に、スパッタ法によりアルミニウム(Al)配線を形成する。

#### 【0004】

【発明が解決しようとする課題】LSIの製造プロセスでは、LSIを形成した半導体ウエハをダイシングして半導体チップに分割し、これらを一個ずつリードフレームに取付け(ベレット付け)、ワイヤボンディングを行った後、モールド樹脂で封止することが行われている。上記の半導体ウエハのダイシングは、ダイヤモンドブレード等を使って機械的に行われるため、半導体チップの側壁に微細なクラックが発生し、そこからチップ内部に水分または異物が侵入して配線腐食を引き起こすことがある。

【0005】これを防止するために、通常、半導体チップの周辺部にガードリングが設けられる。ガードリングは、半導体チップの周辺部に沿って形成した溝の内部に回路の配線材料(Al合金やW)を埋め込んだもので、チップの側壁から侵入した水分または異物がチップ内部に侵入するのをこの配線材料で遮断する。ところが、層間絶縁膜の一部に前記BPSG膜を使用した場合、膜中のホウ素が高濃度であると、チップ端部で発生したクラックがガードリングを貫通してチップ内部まで達するようになり、その結果、このクラックを通じてチップ内部に水分などが侵入して配線腐食を引き起こす。これは、ホウ素を含有したBPSG膜は吸湿性が高いために、BPSG膜上に絶縁膜を堆積すると、これらの膜の界面の接着性が低下し、チップ端部で発生した微小なクラックがこの界面に沿って成長するために起こる。

【0006】これを防止するために、このBPSG膜とその上層および下層に堆積された層間絶縁膜との界面よりも深いスリットを前記半導体チップの周辺部に形成する方法がある。この方法によれば、BPSG膜とその上

層および下層の絶縁膜との界面に発生したクラックがこの界面に沿ってチップ内部へと進行するのをスリットで阻止することができるので、このクラックを通じて外部から侵入する水分による配線腐食を確実に防止できる。しかしながら、配線のコンタクトおよび接続孔にプラグを形成した場合には、このスリットもプラグにより埋め込まれるために、チップ端部で発生した微小なクラックの界面での成長をスリットにより阻止できずに、チップ内部に水分などが侵入して配線腐食を引き起こすことが本発明者の検討によって明らかになった。

【0007】また、スリット部にプラグ材料が存在した場合でも、適当な化学薬品を用いて選択的にスリット部のプラグ材料のみを除去する方法が提案されている(特開平6-232256)。しかしながら、この方法を用いると工程数が増加するだけでなく、化学薬品による選択エッチが可能な材料の組合せはタングステンとアルミニウム等に限定されるために、DRAM等の高集積メモリ等の汎用プロセスに用いるのが困難であるといった問題がある。

【0008】本発明の目的は、高濃度のホウ素を含んだBPSG膜を用いて層間絶縁膜を平坦化し、かつ配線のコンタクトおよび接続孔にプラグを用いたデバイスにおいて、BPSG膜とその上に堆積した絶縁膜との界面に発生したクラックがチップ内部に達するのを有効に防止することのできる技術を提供することにある。

【0009】本発明の他の目的は、デバイスの製造工程を増やすことなく上記目的を達成することのできる汎用的な技術を提供することにある。

#### 【0010】

【課題を解決するための手段】本発明の半導体集積回路装置は、半導体チップ上に堆積した層間絶縁膜の一部をホウ素を含有する酸化シリコン膜で構成し、かつ配線のコンタクトあるいは接続孔にプラグを形成し、前記ホウ素を含有する酸化シリコン膜とその上層または下層に堆積された層間絶縁膜との界面よりも深く、かつその幅が前記プラグの直径の2倍よりも大きいスリットを前記半導体チップの周辺部に沿って設けたものである。このような幅のスリットを設けると、エッチバックによるプラグ形成時において、スリット内では主としてプラグ材料による連続的な埋め込みが阻止されるために、チップ端部から発生したクラックが内部に進行するのをスリットにより防止できる。しかも、スリットの側壁部にプラグ形成材料の薄膜が堆積された構造の場合にはクラックの進行を阻止する効果が増大する。

【0011】本発明の半導体集積回路装置は、前記スリットをガードリングの外側に設けたものである。

【0012】本発明の半導体集積回路装置は、メモリセル選択用MISFETの上部に情報蓄積用容量素子を配置したスタック構造のメモリセルを備えたDRAMであり、かつ前記ホウ素を含有する酸化シリコン膜は、前記

10

20

30

40

50

メモリセルの上層の層間絶縁膜の一部を構成し、かつ前記プラグは前記メモリセルの上層の一部の配線の接続孔の埋め込みに用いられている。

【0013】

【発明の実施の形態】以下、本発明の実施例を図面に基づいて詳細に説明する。

【0014】図1は、本発明の一実施例であるDRAMを形成した半導体チップの外観を示す平面図である。図示のように、単結晶シリコンからなる半導体チップ1の主面には、X方向（半導体チップ1の長辺方向）およびY方向（半導体チップ1の短辺方向）にそって多数のメモリアレイMAがマトリクス状に配置されている。

【0015】X方向に沿って互いに隣接するメモリアレイMAの間にはセンスアンプ列SAが配置されており、Y方向に沿って互いに隣接するメモリアレイMAの間にはワードシャント部WSが配置されている。半導体チップ1の主面の中央部には、ワード線駆動回路、データ線選択回路などの制御回路や、入出力回路、ボンディングパッド等が配置されている（図には示さない）。また、半導体チップ1の主面の外周部には、水分や汚染物質あるいは周囲の電気的外乱から回路を保護するためのガードリングGRが上記した回路を取り囲むように、切れ目なく連続的に配置されている。

【0016】本実施例の半導体チップ1の特徴は、後述するBPSG膜とその上部の絶縁膜との界面に発生したクラックがチップ内部に達するのを防止するために、半導体チップ1の主面の最外周部、すなわち上記ガードリングGRのさらに外側に、後述するプラグの直径の2倍以上の幅のスリット（溝）Sを設けたことによる。このスリットSは、ガードリングGRを取り囲むように、切れ目なく連続的に配置されている。

【0017】次に、上記メモリアレイMAの構成と、チップ外周部に形成されたガードリングGRおよびスリットSの構成を図2を用いて説明する。同図の左側はメモリアレイMAの断面図、右側はチップ外周部の断面図である。

【0018】P-型の単結晶シリコンからなる半導体基板1の主面には、p型ウエル2が形成されている。p型ウエル2の非活性領域の主面には、素子分離用のフィールド酸化膜3が形成されており、フィールド酸化膜3の下部を含むp型ウエル2内には、p型のチャネルストップ層4が形成されている。

【0019】DRAMのメモリセルは、フィールド酸化膜3で周囲を囲まれたp型ウエル2の活性領域の主面上に形成されている。メモリセルは、nチャネル型で構成されたメモリセル選択用MISFETQ<sub>t</sub>と、その上部に配置された情報蓄積用容量素子Cとで構成されている。メモリセル選択用MISFETQ<sub>t</sub>は、ゲート酸化膜5、ゲート電極6および一對のn+型半導体領域7、7（ソース、ドレイン領域）で構成されている。ゲート

電極6はワード線WLと一体に構成されている。ゲート電極6およびワード線WLは、第1層目の多結晶シリコン膜で構成されている。この多結晶シリコン膜には、その抵抗値を低減するためにn型の不純物（P等）が導入されている。なお、ゲート電極6（ワード線WL）は、多結晶シリコン膜の上部にWSi<sub>x</sub>、MoSi<sub>x</sub>、TiSi<sub>x</sub>、TaSi<sub>x</sub>などの高融点金属シリサイド膜を積層したポリサイド膜、あるいはW、Moなどの高融点金属膜を積層したポリメタル膜で構成してもよい。

【0020】ゲート電極6の側壁には、酸化シリコンのサイドウォールスペーサ8が形成されている。また、ゲート電極6の上部には酸化シリコン膜9が形成されている。サイドウォールスペーサ8および酸化膜シリコン9の上部には酸化シリコン膜10が形成されており、この酸化シリコン膜10の上部には窒化シリコン膜12が形成されている。

【0021】上記窒化シリコン膜12の上部には、情報蓄積用容量素子Cの蓄積電極11が形成されている。蓄積電極11は、第1層のフィン11aとその上部に形成された第2層目のフィン11bとを備えている。フィン11a、11bを構成するこれらの多結晶シリコン膜には、その抵抗値を低減するためにn型の不純物が導入されている。情報蓄積用容量素子Cの蓄積電極11は、窒化シリコン膜12、酸化シリコン膜10および酸化シリコン膜に開孔された接続孔13を通じて、メモリセル選択用MISFETQ<sub>t</sub>の一方の半導体領域7に接続されている。

【0022】蓄積電極11の上部には、誘電体膜14を挟んで情報蓄積用容量素子Cのプレート電極15が形成されている。誘電体膜14は、窒化シリコン膜と酸化シリコン膜とを積層した絶縁膜で構成されている。プレート電極15は、第4層目の多結晶シリコン膜で構成されている。この多結晶シリコン膜には、その抵抗値を低減するためにn型の不純物が導入されている。

【0023】メモリセルの情報蓄積用容量素子Cの上層には、BPSG膜17および酸化シリコン膜27を介してデータ線DLが形成されている。また、チップ外周部の酸化シリコン膜27上には、ガードリングGRの一部を構成する配線18が形成されている。上記BPSG膜17は、情報蓄積用容量素子Cとその上層のデータ線DLとを電気的に分離すると共に、メモリセル選択用MISFETQ<sub>t</sub>の上部に情報蓄積用容量素子Cを配置したことによって生じたメモリアレイMA内の段差と周辺回路内の段差とを緩和するために設けられている。このBPSG膜17には、そのリフロー性を向上させるために10モル%以上のホウ素が含有されている。

【0024】上記データ線DLおよび配線18は、多結晶シリコン膜の上にタングステンシリサイド膜（WSi<sub>x</sub>）膜を積層したポリサイド膜で構成されている。データ線DLは、酸化シリコン膜27およびBPSG膜17

に開孔された接続孔 1 9 を通じてメモリセル選択用 M I S F E T の一方の半導体領域 7 と電気的に接続されている。また、配線 1 8 は、酸化シリコン膜 2 7 および B P S G 膜 1 7 に開孔された接続孔 2 9 を通じて p 型ウェル 2 の半導体領域 7 と電気的に接続されている。

【 0 0 2 5 】 データ線 D L の上層には、酸化シリコン膜 2 8 および B P S G 膜 2 0 を介して Y セレクト線 Y S が形成されている。また、チップ外周部の B P S G 膜 2 0 上には、ガードリング G R の一部を構成する配線 2 1 が形成されている。B P S G 膜 2 0 は、データ線 D L とその上層の Y セレクト線 Y S とを電気的に分離すると共に、情報蓄積用容量素子 C の上層にデータ線 D L を配置したことによって生じたメモリアレイ M A 内の段差と周辺回路内の段差とを緩和するために設けられている。この B P S G 膜 2 0 には、前記 B P S G 膜 1 7 と同様、そのリフロー性を向上させるために 1 0 モル % 以上のホウ素が含有されている。

【 0 0 2 6 】 Y セレクト線 Y S および配線 2 1 は、タングステン ( W ) 膜で構成されている。配線 2 1 は、B P S G 膜 2 0 および酸化シリコン膜 2 8 に開孔された接続孔 2 2 を通じて下層の配線 1 8 と接続されている。なお、図示しない周辺回路領域には、Y セレクト線 Y S および配線 2 1 と同層の W 膜で構成された配線が形成されている。

【 0 0 2 7 】 Y セレクト線 Y S の上層には、層間絶縁膜 2 3 を介してシャント用ワード線 S W L が形成されている。また、チップ外周部の層間絶縁膜 2 3 上には、ガードリング G R の一部を構成する配線 2 4 が形成されている。層間絶縁膜 2 3 は、酸化シリコン膜、スピノングラス膜および酸化シリコン膜を積層した 3 層の絶縁膜で構成されている。シャント用ワード線 S W L および配線 2 4 は、チタンタングステン ( T i W ) 膜あるいはチタンナイトライド ( T i N ) 膜、A l 膜および T i W 膜あるいは T i N 膜を積層した 3 層の導電膜で構成されている。

【 0 0 2 8 】 上記配線 2 4 は、層間絶縁膜 2 3 に開孔された接続孔 2 5 を通じて下層の配線 2 1 と接続されている。つまり、半導体チップ 1 の外周部に設けられたガードリング G R は、酸化シリコン膜 2 7 および B P S G 膜 1 7 に開孔された接続孔 2 9 と、B P S G 膜 2 0 および酸化シリコン膜 2 8 に開孔された接続孔 2 2 と、層間絶縁膜 2 3 に開孔された接続孔 2 5 とを通じて互いに接続された 3 層の配線 1 8 、 2 1 、 2 4 で構成されており、半導体チップ 1 の側壁から侵入した水分などがチップ内部に侵入するのをこれらの配線 1 8 、 2 1 、 2 4 で遮蔽している。

【 0 0 2 9 】 シャント用ワード線 S W L および配線 2 4 の上層には、半導体チップ 1 の表面を保護するパッシベーション膜 2 6 が形成されている。パッシベーション膜 2 6 は、プラズマ C V D 法で堆積した酸化シリコン膜 2

6 a および窒化シリコン膜 2 6 b を積層した 2 層の絶縁膜で構成されている。

【 0 0 3 0 】 半導体チップ 1 の最外周部には、パッシベーション膜 2 6 の表面から B P S G 膜 1 7 に達する深いスリット S が形成されている。このスリットの幅は前述のプラグの直径の 2 倍以上である。このために、このスリット内部はプラグ材料で連続的に充たされることはない。スリット内部のプラグ材料を非連続にするには、原理的にはプラグ材料膜厚の 2 倍以上 (したがって直径以上の) のスリット幅があれば可能であるが、エッチバックのプロセスマージンを考えると、現実的には 2 倍以上のスリット幅が望ましい。このスリット S の底部は、少なくとも層間絶縁膜 2 3 とその下層の高濃度のホウ素を含む B P S G 膜 2 0 との界面を貫通している必要があるが、さらに B P S G 膜 1 7 やその下層の絶縁膜を貫通して半導体基板 1 の表面にまで達していても支障がない。

【 0 0 3 1 】 このように、本実施例の D R A M は、半導体チップ 1 の主面の外周部に沿って形成されたガードリング G R のさらに外側に、その底部が少なくとも層間絶縁膜 2 3 とその下層の B P S G 膜 2 0 との界面よりも深い位置までに達するスリット S を形成する。

【 0 0 3 2 】 この構成により、高濃度のホウ素を含む B P S G 膜 2 0 と層間絶縁膜 2 3 との界面に発生したクラックがこの界面に沿ってチップ内部へと成長した場合でも、スリット S によってその進行が停止されるので、このクラックによってガードリング G R が切断されることはない。したがって、このクラックを通じて外部から侵入した水分や汚染物質はガードリング G R によって阻止され、それ以上チップ内部に侵入することがないので、このクラックに起因する配線腐食が確実に防止される。

【 0 0 3 3 】 次に、上記スリット S を形成する方法の一実施例を図 3 - 図 1 0 を用いて説明する。

【 0 0 3 4 】 まず、半導体基板 1 上に D R A M のメモリセルを構成するメモリセル選択用 M I S F E T Q t を形成し、次いでその上部に情報蓄積用容量素子 C を形成した後、図 3 に示すように、情報蓄積用容量素子 C のプレート電極 1 5 の上層に 1 3 モル % 程度のホウ素を含んだ B P S G 膜 1 7 を C V D 法で堆積する。B P S G 膜 1 7 の膜厚は 5 0 0 n m 程度である。続いて、8 5 0 ° C 、 2 0 分程度のアニールを行って B P S G 膜 1 7 をリフローする。

【 0 0 3 5 】 次に、図 4 に示すように、B P S G 膜 1 7 上に C V D 法で酸化シリコン膜 2 7 を堆積し、酸化シリコン膜 2 7 および B P S G 膜 1 7 をエッチングしてメモリセル選択用 M I S F E T の一方の半導体領域 7 に達する接続孔 1 9 、チップ外周部の半導体領域 7 に達する接続孔 2 9 をそれぞれ形成した後、酸化シリコン膜 2 7 上に C V D 法で堆積したポリサイド膜をバターンングしてデータ線 D L および配線 1 8 を形成する。

【 0 0 3 6 】 次に、図 5 に示すように、データ線 D L

および配線 18 の上層に酸化シリコン膜 28 および 13 モル% 程度のホウ素を含んだ BPSG 膜 20 を CVD 法で堆積する。BPSG 膜 20 の膜厚は 400 nm 程度である。続いて、850℃、20 程度のアニールを行って BPSG 膜 20 をリフローする。

【0037】次に、図 6 に示すように、BPSG 膜 20 および酸化シリコン膜 28 をエッチングして配線 18 に達する接続孔 22 を形成した後、BPSG 膜 20 の上層にスパッタ法で TiN 膜を堆積させた後 CVD 法で W 膜をパターニングして Y セレクト YS および配線 21 を形成する。ホウ素を高濃度に含有した BPSG 膜 20 の表面は、接続孔 22 を形成する工程や、W 膜をパターニングして Y セレクト YS および配線 21 を形成する工程で水分にさらされて吸湿する。そのため、この BPSG 膜 20 上に層間絶縁膜 23 を堆積すると、これらの膜の界面の接着力が非常に小さいことから、この界面でクラックが発生しやすくなる。

【0038】次に、図 7 に示すように、Y セレクト線 YS および配線 21 の上層に酸化シリコン膜、スピノングラス膜および酸化シリコン膜を順次堆積して層間絶縁膜 23 を形成した後、この層間絶縁膜 23 をエッチングして配線 21 に達する接続孔 25 とスリット Sa を同時に形成する。接続孔の直径は 0.4 μm である。酸化シリコン膜はプラズマ CVD 法で堆積し、スピノングラス膜は回転塗布法で堆積する。この場合、スリット Sa の直径は 1 μm である。

【0039】次に、図 8 に示すように、層間絶縁膜 23 の上層にスパッタ法で TiN 膜を 50 nm 程度堆積した後に、CVD 法で W 膜を厚さ 500 nm を積層させた後、エッチバック工程で接続孔に W 膜を埋め込みプラグ P を形成する。スリット Sa には側壁部に TiN 膜と W 膜との積層膜が残る。この後、スパッタ法で堆積した 3 層の導電膜 (TiN 膜、Al 膜、TiN 膜) をパターニングしてシャント用ワード線 SWL および配線 24 を形成することにより、ガードリング GR が完成する。

【0040】次に、図 9 に示すように、シャント用ワード線 SWL および配線 24 の上層にパッシベーション膜 26 の一部を構成する酸化シリコン膜 26a をプラズマ CVD 法で堆積する。続いて、図には示さない領域の酸化シリコン膜 26a をエッチングしてシャント用ワード線 SWL と同層の配線 (周辺回路の配線) の一部を露出させ、プローブ検査用のパッドを形成する。このとき、スリット Sa の内部に埋め込まれた酸化シリコン膜 26a を除去するためのエッチングを同時に行い、新たにスリット Sb を形成する。スリット Sb は、スリット Sa と同じ位置に形成するので、フォトリソの合わせずれを考慮してスリット Sa よりも大きい径 (12 μm 径) で形成する。この工程でスリット Sa の側壁部に堆積していた TiN 膜と W 膜との積層膜は一部エッチングされ、スリット Sb の側壁部には TiN 膜と W 膜との積層

膜は除去される。この次に、プローブ検査用のパッドにプローブを当てて回路の特性試験を行った後、酸化シリコン膜 26a 上にもう一度酸化シリコン膜 26a を堆積してプローブ検査用のパッドを被覆する。

【0041】次に、図 10 に示すように、酸化シリコン膜 26a の上部にパッシベーション膜 26 の一部を構成する窒化シリコン膜 26b をプラズマ CVD 法で堆積した後、図には示さない領域の窒化シリコン膜 26b およびその下層の酸化シリコン膜 26a をエッチングしてワイヤ接続用のボンディングパッドを形成する。このとき、スリット Sb の内部に埋め込まれた酸化シリコン膜 26a および窒化シリコン膜 26b を除去するためのエッチングを同時に行うことにより、スリット S が完成する。スリット S は、スリット Sb と同じ位置に形成するので、フォトリソの合わせずれを考慮してスリット Sb よりも大きい径 (14 μm 程度) で形成する。

【0042】このように、上記した方法では、ガードリング GR の一部を形成するためのエッチング工程でスリット Sa を形成し、ボンディングパッドを形成するためのエッチング工程でスリット Sb を形成し、ボンディングパッドを形成するためのエッチング工程でスリット S を形成するので、DRAM の製造工程を増やすことなくスリット S を形成することができる。

【0043】先の実施例の図 7 において、スリット Sa の幅を、0.4 μm から 2 μm の範囲で 0.2 μm 毎に増加させて不良率の変化を調べた。プラグ直径の 2 倍より小さい場合には (0.4, 0.6 μm 幅)、後述するように BPSG 膜と上層の層間絶縁膜との間のクラックの進行を十分に防ぐことができず不良率が高かったが、2 倍以上の場合には不良率が著しく減少した。不良率とスリット幅との関係を図 11 に示す。不良率が減少したのは、スリット内部にプラグ材料が連続的に残存しないためにクラックの進行がスリットにより防止されたためと考えられる。この検討結果から、スリット幅をプラグ直径の 2 倍以上に設定することがクラック不良を防止する上で有効であることがわかる。

【0044】前記実施例では、情報蓄積用容量素子の上部にデータ線を配置する DRAM に適用した場合について説明したが、これに限定されるものではなく、データ線の上部に情報蓄積用容量素子を配置する DRAM に適用することもできる。

【0045】また、本発明は DRAM のみに適用されるものではなく、高濃度のホウ素を含んだ BPSG 膜を層間絶縁膜の一部に、かつ配線のコンタクトもしくは接続孔の一部にプラグを使用する SRAM, FRAM, ロジック等すべてのデバイスに適用することができる。

【0046】

【発明の効果】本発明によれば、高濃度のホウ素を含む酸化シリコン膜と他の層間絶縁膜との界面に発生したクラックがこの界面に沿ってチップ内部へと成長した場合

でも、スリットによってその進行が停止されるので、このクラックに起因する配線腐食を確実に防止することができる。

【0047】また、本発明によれば、ガードリングを形成するためのエッチング工程と、半導体チップの表面を被うパッシベーション膜を開孔してパッドを形成するためのエッチング工程とを利用してスリットを形成することにより、製造工程を増やすことなくスリットを形成することができる。

【図面の簡単な説明】

【図1】本発明の一実施例であるDRAMを形成した半導体チップの外観を示す平面図である。

【図2】本発明の一実施例であるDRAMを示す半導体チップの要所断面図である。

【図3】本発明の一実施例であるDRAMの製造方法を示す半導体チップの要所断面図である。

【図4】本発明の一実施例であるDRAMの製造方法を示す半導体チップの要所断面図である。

【図5】本発明の一実施例であるDRAMの製造方法を示す半導体チップの要所断面図である。

【図6】本発明の一実施例であるDRAMの製造方法を示す半導体チップの要所断面図である。

【図7】本発明の一実施例であるDRAMの製造方法を示す半導体チップの要所断面図である。

【図8】本発明の一実施例であるDRAMの製造方法を示す半導体チップの要所断面図である。

【図9】本発明の一実施例であるDRAMの製造方法を示す半導体チップの要所断面図である。

【図10】本発明の一実施例であるDRAMの製造方法を示す半導体チップの要所断面図である。

【図11】本発明の一実施例であるDRAMの製造方法におけるスリット幅とクラックによる不良率との関係を示す図。

【符号の説明】

- 1 半導体基板（チップ）
- 2 p型ウェル
- 3 フィールド酸化膜
- 4 チャネルストッパ層
- 5 ゲート酸化膜
- 6 ゲート電極

7 半導体領域（ソース、ドレイン領域）

8 サイドウォールスペーサ

9 酸化シリコン膜

10 酸化シリコン膜

11 蓄積電極

11a フィン

11b フィン

12 窒化シリコン膜

13 接続孔

10 14 誘電体膜

15 プレート電極

17 BPSG膜

18 配線

19 接続孔

20 BPSG膜

21 配線

22 接続孔

23 層間絶縁膜

24 配線

20 25 接続孔

26 パッシベーション膜

26a 酸化シリコン膜

26b 窒化シリコン膜

27 酸化シリコン膜

28 酸化シリコン膜

29 接続孔

C 情報蓄積用容量素子

DL データ線

GR ガードリング

30 MA メモリアレイ

P プラグ

Qt メモリセル選択用MISFET

S スリット（溝）

SA センスアンプ列

SWL シャント用ワード線

T ターゲットパターン

WL ワード線

WS ワードシャント

YS Yセレクト線。





【図 4】

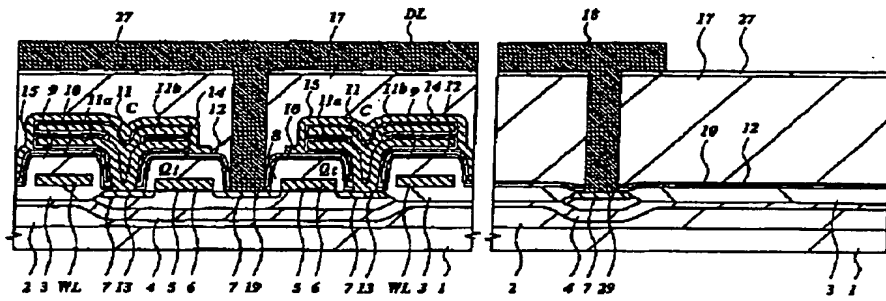


図 4

【図 5】

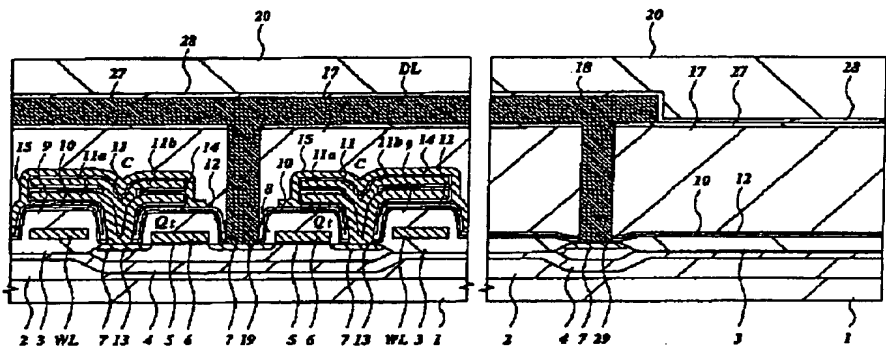


図 5

【図 6】

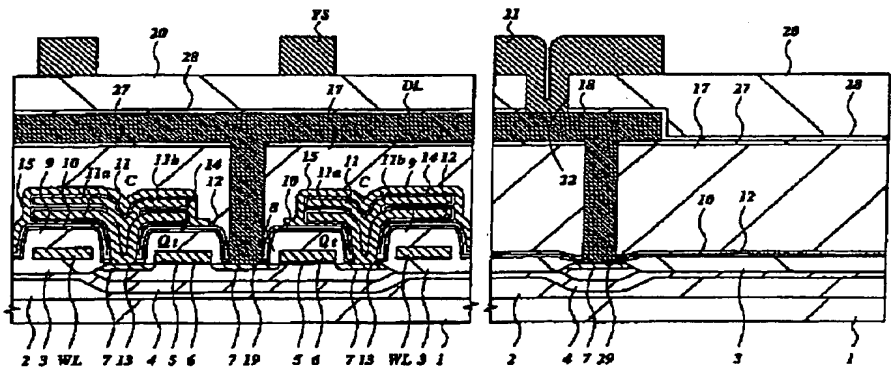
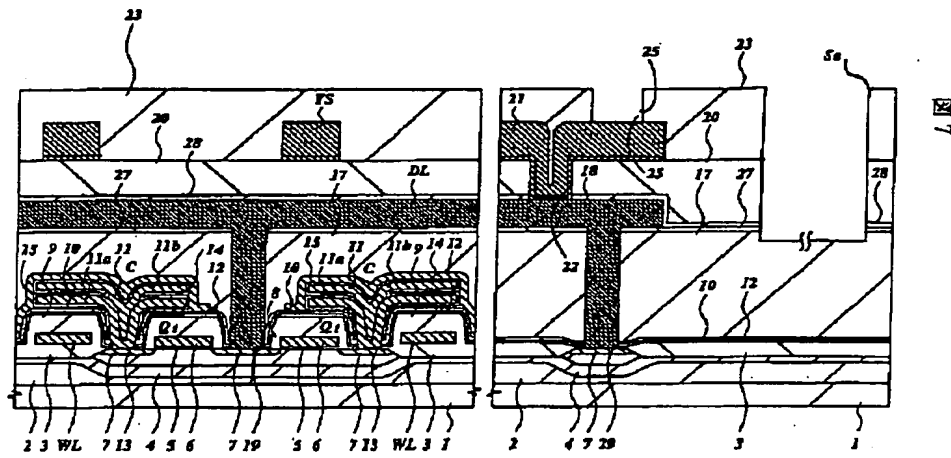
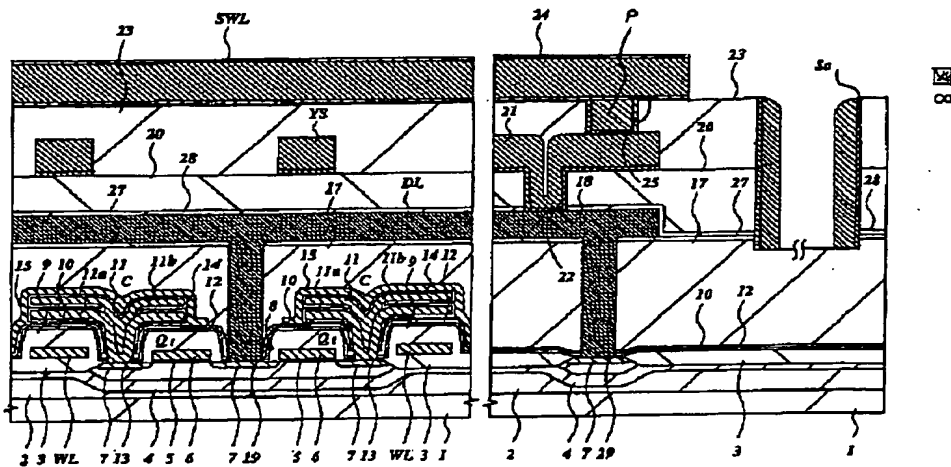


図 6

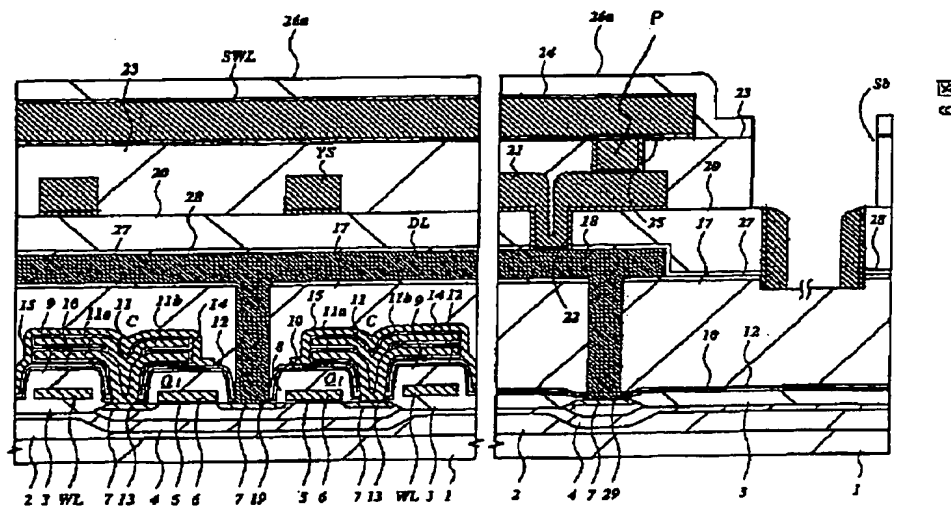
【図 7】



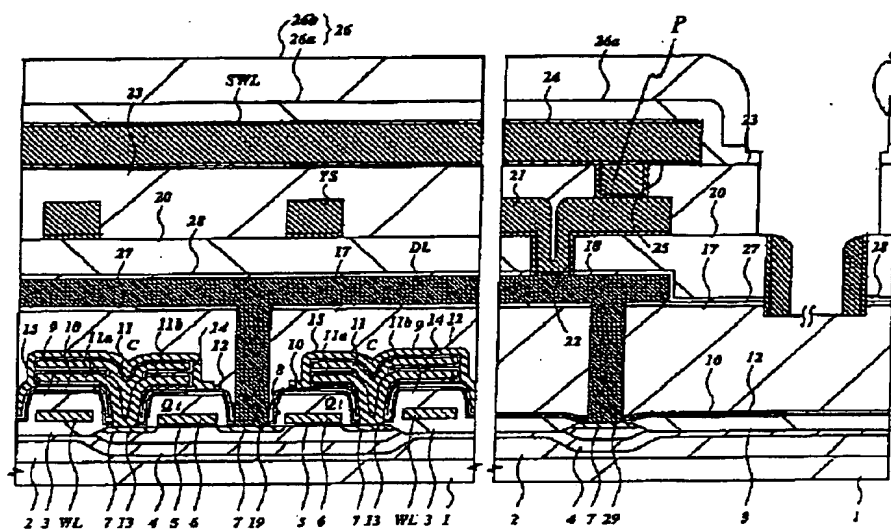
【図 8】



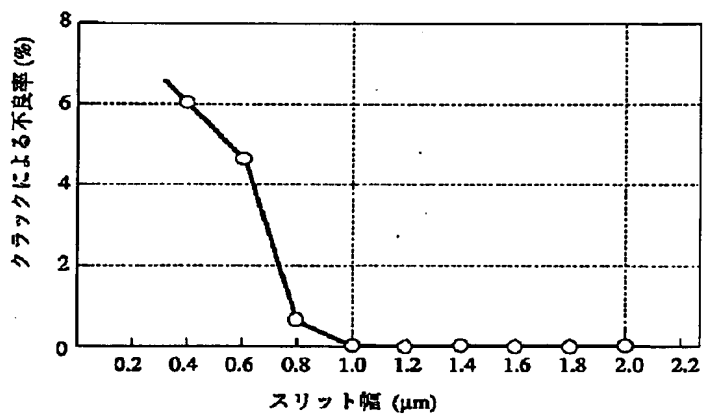
【図 9】



018



四一



(72) 発明者 西原 晋治  
東京都小平市上水本町五丁目20番1号  
株式会社日立製作所半導体事業部内